

## SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP58211391  
Publication date: 1983-12-08  
Inventor(s): KONISHI SATOSHI  
Applicant(s): TOKYO SHIBAURA DENKI KK  
Requested Patent:  JP58211391  
Application Number: JP19820092890 19820531  
Priority Number(s):  
IPC Classification: G11C11/34 ; H01L27/10  
EC Classification:  
Equivalents:

### Abstract

PURPOSE: To realize the high-speed reading, by switching one of two power supplies of a static memory cell to the third power supply during the reading of a memory cell and therefore increasing the potential difference of a memory compared with the potential difference of a pause mode period of the memory.

CONSTITUTION: A memory cell consists of resistance element loads R1 and R2, transistors T1-T4 and a pair of bit lines BL and BL'. The high and low potential voltages of the memory cell are set at the VDDC and SDDC respectively, and the back gate voltage of transistors T1-T4 is set at VXBN respectively. Thus the potential difference between a power supply VDD and the other power supply -VB of the memory cell can be increased compared with the pause mode period of the memory. This ensures the high-speed reading.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 昭58-211391

⑫ Int. Cl.<sup>2</sup>  
G 11 C 11/34  
H 01 L 27/10

識別記号 厅内整理番号  
6549-5B  
6655-5F

⑬ 公開 昭和58年(1983)12月8日  
発明の数 1  
審査請求 未請求

(全 13 頁)

⑭ 半導体記憶装置

⑮ 特願 昭57-92890  
⑯ 出願 昭57(1982)5月31日  
⑰ 発明者 小西顕  
川崎市幸区小向東芝町1番地東

京芝浦電気株式会社総合研究所  
内

⑱ 出願人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑲ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 行方向および列方向に配列された複数のステイックメモリセルと、同一列のメモリセルそれぞれにおける一对の転送用MOSトランジスタの各一端に共通接続される一对のピット線と、同一行のメモリセルそれぞれにおける上記転送用MOSトランジスタの各ゲートに共通接続されるワード線と、前記メモリセルに供給すべき2電源のうち一方の電源をメモリセルの読み出しに際して第3の電源に切り換えることによってメモリセルの2電源の電位差をメモリの休止モード期間における電位差に比べて大きくする電源切換手段とを具備することを特徴とする半導体記憶装置。

(2) 前記第3の電源は、メモリセル以外の周辺回路で用いられている2電源とは異なり、こ

の2電源の電圧範囲外の電圧を持つことを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記第3の電源は、メモリセル以外の周辺回路で用いられている2電源の一方電源であることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(4) 前記電源切換手段は、前記メモリセルに供給すべき2電源の他方の電源を第4の電源にさらに切り換えることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(5) 前記第4の電源は、メモリセル以外の周辺回路で用いられている2電源とは異なり、この2電源の電圧範囲外であつて前記第3の電源とは異なる側の電圧であることを特徴とする特許請求の範囲第4項記載の半導体記憶装置。

(6) 前記第4の電源は、メモリセル以外の周辺回路で用いられている2電源とは異なり、この2電源の電圧範囲の中間領域の電圧である

ことを特徴とする特許請求の範囲第4項記載の半導体記憶装置。

(7) 前記第3の電源は、半導体基板もしくは半導体基板中に設けた上記半導体基板とは逆導電型の不純物拡散層にパックゲート電極として供給されることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(8) 前記第4の電源は、パックゲート電極として供給されることを特徴とする特許請求の範囲第4項記載の半導体記憶装置。

(9) 前記第3の電源は、メモリ外部から供給されもしくは前記メモリセル以外の周辺回路で用いられている2電源により動作する電圧発生回路により作られることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(10) 前記第4の電源は、メモリ外部から供給されもしくは前記メモリセル以外の周辺回路で用いられている2電源により動作する電圧発生回路により作られることを特徴とする特許請求の範囲第4項記載の半導体記憶装置。

## 〔発明の技術的背景とその問題点〕

メモリが高集積化、大容量化するに伴ない、ビット線に接続されるメモリセルは微細化され、その駆動能力は小さくなる。一方、一本のビット線に接続されるメモリセルの数は増し、そのビット線の容量は増大する。そのため、読み出し時に1つのメモリセルが一对のビット線を駆動し、それらの間に読み出し可能な電位差をつけるのに要する時間は増大し、そのため読み出し時間は長くなる。さらにその上、低消費電力化のためにメモリの電源電圧を下げる必要も生じてきており、この場合はさらに一般メモリセルの駆動能力を下げることになり、より一層読み出し時間が長くなるようになつてきていている。これに対して、(1)負荷となるビット線の電気容量を小さくするため、ビット線につながれたメモリセルの転送用トランジスタのドレイン面積を極力小さくしてその拡散容量を抑える方法や、逆に(2)セルの駆動能力を高めるためにセルのトランジスタのゲート幅を大きくする方法が行な

(11) 前記スタティックメモリセルはE/H型メモリセルであつて、これに使用されているエンハンスマント型トランジスタの全てがNチャネルあるいはPチャネル型であることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(12) 前記スタティックメモリセルはCMOSメモリセルであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(13) 前記電源切換手段を切換制御するための制御電圧を、前記一对のビット線に接続されたビット線選択用トランジスタのゲートに印加されるカラムデコード出力に基いて発生することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

## 3.発明の詳細な説明

## 〔発明の技術分野〕

本発明は、集成回路メモリとか1チップマイクロコンピュータのメモリなどに適用されるスタティック型の半導体記憶装置に関するもの。

われている。しかし、前者(1)の方法においては、転送用トランジスタの最小ドレイン面積はドレインと金属配線層で形成されたビット線とのコンタクト面積以下にすることはできず、ビット線の拡散容量は余り小さくできない。ところが、トランジスタが微小化されるに伴ない、トランジスタのパンチスルーエンジが低くなるため、基板強度を上げる必要があり、これは転送用トランジスタのドレインの拡散容量を増やし、ビット線の拡散容量は増える傾向にある。これに対して、後者(2)の方法において、トランジスタのゲート幅を増やすことはセルサイズの増大につながり、セルパターンに多少の面積余裕がある場合にのみ可能で、セル面積の余裕がない場合にはトランジスタのゲート幅を10%増やすのがやつとのことであり、どのようなセルパターンを採用しても実現は非常に困難である。

## 〔発明の目的〕

本発明は上記の事情に鑑みてなされたもので、従来のビット線の電気容量を小さくする方法やセルのトランジスタのゲート幅を大きくする方

法が物理的に困難であるのに比べて容易にしかも効果的に読み出し時間を短縮し得る半導体記憶装置を提供するものである。

〔発明の概要〕

すなわち、本発明の半導体記憶装置は、ステイクメモリセルに供給すべき2電源のうち一方の電源をメモリセルの読み出しに際して第3の電源に切り換えて、この切り換えによつてメモリの2電源の電位差をメモリの休止モード期間における電位差に比べて大きくする電源切換手段を備えなものである。

したがつて、読み出しに際して、すなわちリードモード時あるいはリードサイクルの全期間もしくは一部の期間にメモリセルに供給される2電源の電位差が休止モード期間の電位差よりも大きくなるので、メモリセルによるピット線の駆動能力が増し、高速の読み出し動作が行なわれるようになる。

(発明の実施例)

以下、図面を参照して本発明の実施例を詳細

に説明する。先ず本発明の原理を説明する。第1図は、スタティックメモリセルの一例として抵抗素子負荷とエンハンスマント型駆動トランジスタを用いた所謂E/R型メモリセルと、一对のビット線BL,  $\overline{BL}$  と、ワード線WLとの接続を示している。ただしここではメモリセルの駆動トランジスタも転送用トランジスタもNチャネルMOSトランジスタが用いられている。メモリセルは行方向および列方向に配列されており、同一列のメモリセルに共通に一对のビット線BL,  $\overline{BL}$  が接続され、同一行のメモリセルに共通に一本のワード線WLが接続されている。上記メモリセルにおいては、高電位側の第1の電源V<sub>DD</sub>に抵抗素子R<sub>1</sub>, R<sub>2</sub>の各一端が接続され、抵抗素子R<sub>1</sub>の他端(ノードH)と低電位側の第2の電源(-V<sub>B</sub>)との間にエンハンスマント型のNチャネルMOSトランジスタ(駆動トランジスタ)T<sub>1</sub>が接続され、前記抵抗素子R<sub>2</sub>の他端(ノードL)と第2の電源(-V<sub>B</sub>)との間にエンハンスマント型のNチャネルMOSト

ランジスタ（駆動トランジスタ） $T_2$  が接続され、このトランジスタ  $T_2$  のゲートは前記ノード H に接続され、前記トランジスタ  $T_1$  のゲートは前記ノード H とビット線 BL との間にエンハンスマント型の N チャンネル MOS トランジスタ（転送トランジスタ） $T_3$  が接続され、前記ノード H とビット線  $\overline{BL}$  との間にエンハンスマント型の N チャンネル MOS トランジスタ（転送トランジスタ） $T_4$  が接続され、これらの転送用トランジスタ  $T_3, T_4$  のゲートはワード線 WL を接続されている。また、上記各トランジスタ  $T_1 \sim T_4$  のバックゲート電圧として前記  $-V_B$  電源が印加されている。

上記メモリセルにおいて、いまトランジスタ  $T_1$  がオフ、トランジスタ  $T_2$  がオン状態となつていて、ノードHが高レベル電位  $V_H$ 、ノードLが低レベル電位  $V_L$  になつてゐるものとする。このとき、 $V_H$  は  $V_{DD}$  電圧であり、 $V_L$  は  $-V_B$  電圧に近い。ここで、ビット線  $\overline{BL}$  を低レベル電位  $V_L$

に引き込んでいる駆動トランジスタ  $T_2$  のソースとドレイン間の電圧  $V$ -対電流  $I$  特性は第2図に示すようになる。ここで、 $V_{T2}$  は駆動トランジスタ  $T_2$  の閾値電圧であつて、閾値電圧の基板バイアス依存性は説明の簡略化のため無視してある。 $-V_B = 0V$  と  $-V_B = -V_{B2}$  もしくは  $-V_B = 2$  における各特性の違いは、駆動トランジスタ  $T_2$  のソース電位が異なることに外ならず、そのためゲート電位  $V_B$  が一定でもソース電位に対するゲート電位は異なり、 $-V_B$  の値によって駆動トランジスタ  $T_2$  の電流駆動能力が大きく異なつている。低レベル電位  $V_L$  は  $V_H - V_{T2}$  よりはるかに小さく、したがつて駆動トランジスタ  $T_2$  は3極管動作を行なつており、 $-V_B$  電位の違いによる駆動トランジスタ  $T_2$  の  $V$ - $I$  特性の違いは、第2図に示すようにソース・ドレイン間の電圧  $V$  が  $0V$  付近の立ち上りの遅いとなつてゐる。そして、 $-V_B$  電位が  $0V$  でなく負電位になればなる程、ビット線  $\overline{BL}$  に対する引き込み駆動能力が大きくなることが分る。

第3図は、第1図のメモリセルにおける $-V_B$ 電位に対するピクト線 $BL$ のブリッジアシレベルから低レベル電位側への引き込み時間 $T$ を表わしており、 $-V_B$ を大きな負の電圧にすればする程、セルの引き込み駆動能力は増し、それだけピクト線引き込み時間 $T$ が小さくなる。なお、負荷トランジスタと駆動トランジスタが互いに逆導電型であるCMOSメモリセルにおいても第3図に示す関係が成り立つ。

そこで、本発明は、セルの一方の電源 $V_{DD}$ と他方の電源 $(-V_B)$ との電位差を、読み出しに際してメモリの休止モード期間に比べて大きくすることにより、高速の読み出しを行なうようにしている。

以下、種々のタイプのスタティックメモリセルに本発明を適用した具体例について説明する。先ず、メモリセルの命名法について述べておく。 $N/P$ 型セルのうち $N$ チャネル型のものを $CN$ セル、 $P$ チャネル型のものを $CP$ セルと称し、CMOS型セルのうち駆動トランジスタが $N$ チャ

りである。

なお、第6図および第7図において、 $T_1 \sim T_4$ は $N$ チャネルMOSトランジスタ、 $T'_1 \sim T'_4$ は $P$ チャネルMOSトランジスタ、 $V_{DDC}$ は高電位側電源、 $V_{SSC}$ は低電位側電源、 $V_{XDN}$ および $V_{XPB}$ はそれぞれ $N$ チャネルトランジスタおよび $P$ チャネルトランジスタのバッカゲート電源であつて、半導体基板および半導体基板中に設けた前記半導体基板とは逆導電型の不純物拡散層に供給されている。

第8図乃至第11図は、上記第4図乃至第7図のメモリセルに選択的に適用される電源電圧関係を示すもので、 $V_{DD}$ および $V_{SS}$ はメモリセル以外の周辺回路で用いられている2つの電源の電圧( $V_{DD} > V_{SS}$ )である。 $V_{BBS}$ および $V_{BBD}$ はそれぞれ上記2電源の電圧範囲外の第3の電源の電圧であつて、 $V_{BBS} < V_{SS}$ 、 $V_{BBD} > V_{DD}$ である。 $V_{DD'}$ 、 $V_{SS'}$ は第4の電源であつて、 $V_{SS} < V_{DD'} < V_{DD}$ 、 $V_{SS} < V_{SS'} < V_{DD}$ である。この場合、第3、第4の電源の電位差 $|V_{DD'} - V_{BBS}|$ 、 $|V_{BBD} - V_{SS'}|$

ンネルのものを $CN$ セル、 $P$ チャネルのものを $CP$ セルと称する。

第4図(a)は $CN$ セルに対する適用例を簡略的に示したもので、その詳細は第4図(b)の通りである。なお、セルの高電位側電圧を $V_{DDC}$ 、低電位側電圧を $V_{SSC}$ 、トランジスタ $T_1 \sim T_4$ のバッカゲート電圧を $V_{XBN}$ 、ワード線を $WL$ 、一对のピクト線を $BL, BL$ で表わしている。

第5図(a)は $CP$ セルに対する適用例を簡略的に示したもので、その詳細は第5図(b)に示す通りである。ここで、 $T'_1 \sim T'_4$ は $P$ チャネルMOSトランジスタ、 $R_1$ および $R_2$ は抵抗素子であり、セルのバッカゲート電圧を $V_{XPB}$ で表わしており、その他は第4図と同様の表示を用いている。

第6図(a)は $CN$ セルに対する適用例を簡略的に示したもので、その詳細は第6図(b)に示す通りである。

第7図(b)は $CP$ セルに対する適用例を簡略的に示したもので、その詳細は第7図(b)に示す通りである。

はメモリの休止モード期間におけるメモリセルの2電源の電位差、つまり $|V_{DD} - V_{SS}|$ に比べて大きく設定されている。

#### (1) 第1実施例

第4図もしくは第6図に示すメモリセルを持ち、このメモリセルの電源電圧は第8図に示す電圧関係の電源が用意されていて、読み出しに際しては $V_{DDC} = V_{DD}$ 、 $V_{SSC} = V_{XDN} = V_{BBS}$ に設定され、さらに第6図の場合には $V_{XPB} \geq V_{DDC}$ に設定される。

#### (2) 第2実施例

第5図もしくは第7図に示すメモリセルを持ち、このメモリセルの電源電圧は第9図に示す電圧関係の電源が用意されていて、読み出しに際しては $V_{DDC} = V_{XPB} = V_{BBD}$ 、 $V_{SSC} = V_{SS}$ に設定され、さらに第7図の場合には $V_{XDN} \leq V_{SSC}$ に設定される。

上述した第1、第2実施例によれば、読み出しに際してはメモリセルの高電位側電源電圧 $V_{DDC}$ 、低電位側電源電圧 $V_{SSC}$ の少なくとも一方

がメモリセル以外の周辺回路で用いられている駆動用の2電源の電圧範囲( $V_{DD} \sim V_{SS}$ )外の第3の電源の電圧 $V_{BBS}$ もしくは $V_{BBD}$ となつていて、メモリセルの2電源の電位差 $|V_{DD}-V_{SS}|$ 、 $|V_{BBD}-V_{SS}|$ が休止モード期間のメモリセルの2電源の電位差 $|V_{DD}-V_{SS}|$ IC比べて大きくなつてるので、セルのビット線に対する $V_{SS}$ 電源電圧方向もしくは $V_{DD}$ 電源電圧方向への引き込み駆動能力が増し、第3回を参照して前述したようにビット線引き込み時間Tが短かくなり、読み出し時間が従来に比べて5~20倍短縮された。

## (3) 第3実施例

第4回もしくは第6回に示すメモリセルを持ち、このメモリセルの電源電圧は第10回に示す電圧関係の4つの電源が用意されていて、読み出しに際して $V_{DDC}=V_{DD}$ 、 $V_{SSC}=V_{XBN}=V_{BBS}$ に設定され、さらに第6回の場合には $V_{XBP} \geq V_{DUS}$ IC設定されている。

## (4) 第4実施例

第5回もしくは第7回に示すメモリセルを持

また、第2、第4実施例において、 $V_{XBP}=V_{BBD}$ に設定したが、 $V_{BBD}$ より高い電圧の電源を設け、この電源の電圧を $V_{XBP}$ としてもよい。

次に、メモリセルの読み出しに際してメモリセルの一方の電源を切り換えてメモリセルの2電源の電位差を休止モード期間のそれよりも大きくするための電源切換手段を有し、もつて読み出し速度を速くするようにした第5~第8の実施例を説明する。

## (5) 第5実施例

第12回に示すようにIINセルを持ち、第8回に示したような関係( $V_{DD} > V_{SS} > V_{BBS}$ )の電源電圧を使用し、 $V_{DUC}=V_{DD}$ 、 $V_{XBN}=V_{BBS}$ とし、 $V_{SS}$ ラインとセルの $V_{SSC}$ ラインとの間に制御電圧 $V_{in_1}$ ICよりゲート制御されるNチャンネルMOSトランジスタ $N_1$ を接続し、 $V_{BBS}$ ラインとセルの $V_{SSC}$ ラインとの間に制御電圧 $V_{in_2}$ ICよりゲート制御されるNチャンネルMOSトランジスタ $N_2$ を接続したものである。休止モード期間は $V_{in_1}$ が高レベル電圧、 $V_{in_2}$ が低レベル電圧にあつて、トランジスタ $N_1$ がオン、トランジスタ $N_2$ がオフであり、 $V_{SSC}=V_{SS}$ である。これに対して読み出しに際しては、 $V_{in_1}$ が

ち、このメモリセルの電源電圧は第11回に示す電圧関係の4つの電源が用意されていて、読み出しに際して $V_{DDC}=V_{XBP}=V_{BBD}$ 、 $V_{SSC}=V_{SS}$ IC設定され、さらに第7回の場合には $V_{XBN} \leq V_{SSS}$ に設定される。

上述した第3、第4実施例によれば、読み出しに際してはメモリセル以外の周辺回路で用いられている駆動用の2電源 $V_{DD}$ 、 $V_{SS}$ とは異なる第3の電源 $V_{BBS}$ もしくは $V_{BBD}$ がメモリセルの2電源となり、この第3、第4の電源の電位差は休止モード期間のメモリセルの2電源の電位差よりも大きく設定しておくため、セルのビット線に対する引き込み駆動能力が増し、第3回を参照して前述したようにビット線引き込み時間Tが短かくなり、読み出し時間が従来に比べて5~20倍短縮された。

なお、前記第1、第3実施例において、 $V_{XBN}=V_{BBS}$ IC設定したが、 $V_{BBS}$ より低い電圧の電源を設け、この電源の電圧を $V_{XBN}$ としてもよい。

低レベル電圧、 $V_{in_2}$ が高レベル電圧になつて、トランジスタ $N_1$ がオフ、トランジスタ $N_2$ がオンになり、 $V_{SSC}=V_{BBS}$ となり、メモリセルの2電源 $V_{DDC}$ 、 $V_{SSC}$ の電位差が大きくなる。

## (6) 第6実施例

第13回に示すようにIINセルを持ち、第14回に示すような関係の( $V_{DD} > V_{SS} > V_{SS}$ )電源電圧を使用し、 $V_{DDC}=V_{XBP}=V_{DD}$ 、 $V_{XBN}=V_{SS}$ とし、 $V_{SS}$ ラインとセルの $V_{SSC}$ ラインとの間にNチャンネルトランジスタ $N_1$ を接続してそのゲートに前述したような $V_{in_1}$ を印加し、 $V_{SS}$ ラインとセルの $V_{SSC}$ ラインとの間にNチャンネルトランジスタ $N_2$ を接続してそのゲートに前述したような $V_{in_2}$ を印加したものである。したがつて、休止モード期間におけるセルの2電源の電位差( $|V_{DD}-V_{SS}|$ )に比べて読み出しに際してそれは $V_{DD}-V_{SS}$ となり、相対的に大きくなる。

## (7) 第7実施例

第15回に示すようにEPPセルを持ち、第9回に示したような関係( $V_{BBD} > V_{DD} > V_{SS}$ )の電源電

圧を使用し、 $V_{SSC}=V_{SS}$ ,  $V_{XBP}=V_{BBD}$  とし、 $V_{DD}$  ラインとの間に制御電圧  $\overline{V_{in_1}}$  によりゲート制御される P チャンネルトランジスタ  $P_1$  を接続し、 $V_{BBD}$  ラインとセルの  $V_{DDC}$  ラインとの間に制御電圧  $\overline{V_{in_2}}$  によりゲート制御される P チャンネルトランジスタ  $P_2$  を接続したものである。休止モード期間は  $\overline{V_{in_1}}$  が低レベル電圧、 $\overline{V_{in_2}}$  が高レベル電圧にあつて、トランジスタ  $P_1$  がオン、トランジスタ  $P_2$  がオフであり、 $V_{DDC}=V_{DD}$  である。これに対して読み出しに際しては、 $\overline{V_{in_1}}$  が高レベル電圧、 $\overline{V_{in_2}}$  が低レベル電圧になつて、トランジスタ  $P_1$  がオフ、トランジスタ  $P_2$  がオンになり、 $V_{DDC}=V_{BBD}$  となり、メモリセルの 2 電源  $V_{DDC}, V_{SSC}$  の電位差が大きくなる。

## (8) 第 8 実施例

第 16 図に示すように CP セルを持ち、第 17 図に示すような関係 ( $V_{DD} > V_{DD'} > V_{SS}$ ) の電源電圧を使用し、 $V_{SSC}=V_{XBN}=V_{SS}$ ,  $V_{XBP}=V_{DD}$  とし、 $V_{DD'}$  ラインとセルの  $V_{DDC}$  ラインとの間に P チャンネルトランジスタ  $P_1$  を接続してそのゲ

ト制御される N チャンネルトランジスタ  $N_1$  を接続し、 $V_{DD}$  ラインとセルの  $V_{DDC}$  ラインとの間に制御電圧  $\overline{V_{in_1}}$  によりゲート制御される P チャンネルトランジスタ  $P_2$  を接続し、 $V_{BBD}$  ラインとセルの  $V_{DDC}$  ラインとの間に制御電圧  $\overline{V_{in_2}}$  によりゲート制御される P チャンネルトランジスタ  $P_3$  を接続したものです。休止モード期間は  $\overline{V_{in_1}}$  と  $\overline{V_{in_2}}$  とが高レベル電圧、 $\overline{V_{in_1}}$  と  $\overline{V_{in_2}}$  とが低レベル電圧にあつて、トランジスタ  $N_1$  と  $P_2$  がオン、トランジスタ  $N_1$  と  $P_3$  がオフであり、 $V_{SSC}=V_{SS}$ ,  $V_{DDC}=V_{DD}$  である。これに対して読み出しに際しては、 $\overline{V_{in_1}}$  と  $\overline{V_{in_2}}$  とが低レベル電圧、 $\overline{V_{in_1}}$  と  $\overline{V_{in_2}}$  とが高レベル電圧になつて、トランジスタ  $N_1$  と  $P_3$  がオフ、トランジスタ  $N_1$  と  $P_2$  がオンになり、 $V_{SSC}=V_{BBS}$ ,  $V_{DDC}=V_{BBD}$  となり、メモリセルの 2 電源  $V_{DDC}, V_{SSC}$  の電位差が大きくなる。

## (10) 第 10 実施例

第 19 図に示すように RN セルを持ち、第 21 図に示したような関係の電源電圧を使用し、

トに前述したような  $\overline{V_{in_1}}$  を印加し、 $V_{DD}$  ラインとセルの  $V_{DDC}$  ラインとの間に P チャンネルトランジスタ  $P_1$  を接続してそのゲートに前述したような  $\overline{V_{in_2}}$  を印加したものである。したがつて休止モード期間におけるセルの 2 電源の電位差  $|V_{DD}-V_{SS}|$  に比べて読み出しに際してのそれは  $|V_{DD}-V_{SS}|$  となり、相対的に大きくなる。

次に、メモリセルの読み出しに際してメモリセルの 2 電源とも切り換えてセルの 2 電源の電位差を休止モード期間のそれよりも大きくし、もつて読み出し速度を速くするようにした第 9 - 第 14 実施例を説明する。

## (9) 第 9 実施例

第 18 図に示すように RN セルを持ち、第 21 図に示すような関係 ( $V_{BBD} > V_{DD} > V_{SS} > V_{BBS}$ ) の電源電圧を使用し、 $V_{XBN}=V_{BBS}$  とし、 $V_{SS}$  ラインとセルの  $V_{SSC}$  ラインとの間に制御電圧  $\overline{V_{in_1}}$  によりゲート制御される N チャンネルトランジスタ  $N_1$  を接続し、 $V_{BBS}$  ラインとセルの  $V_{SSC}$  ラインとの間に制御電圧  $\overline{V_{in_2}}$  によりゲ

$V_{XBP}=V_{BBD}$  としたものであり、上記第 9 実施例に比べて使用セルの種類およびセルのパッケージゲート印加電圧が異なるだけであつて、第 9 実施例に準じた動作が行なわれる。

## (11) 第 11 実施例

第 20 図に示すように CMOS セル（第 6 図の CN セルあるいは第 7 図の CP セル）を持ち、第 21 図に示したような関係の電源電圧を使用し、 $V_{XBN}=V_{BBS}$ ,  $V_{XBP}=V_{BBD}$  としたものであつて、前記第 9 実施例に比べて使用セルの種類およびセルのパッケージゲート印加電圧が異なるだけであつて、第 9 実施例に準じた動作が行なわれる。

## (12) 第 12 実施例

第 22 図に示すように RN セルを持ち、第 25 図に示すような関係 ( $V_{DD} > V_{DD'} > V_{SS'} > V_{SS}$ ) の電源電圧を使用するものであり、第 18 図および第 21 図を参照して前述した第 9 実施例の  $V_{BBD}, V_{DD}, V_{SS}, V_{BBS}$  を各対応して第 23 図の  $V_{DD}, V_{DD'}, V_{SS'}, V_{SS}$  に置き換えたものであつて、第 9 実施例に準じた動作が行なわれる。

## (13) 第13実施例

第23図に示すようにセルを持ち、第25図に示したような関係の電源電圧を使用するものであり、第19図および第21図を参照して前述した第10実施例の電源電圧を第23図の電源電圧に置き換えたものであつて、第10実施例に準じた動作が行なわれる。

## (14) 第14実施例

第24図に示すようにCMOSセル（第6図のCNセルあるいは第7図のCPセル）を持ち、第25図に示したような関係の電源電圧を使用するものであり、第20図および第21図を参照して前述した第11実施例の電源電圧を第23図の電源電圧に置き換えたものであつて、第11実施例に準じた動作が行なわれる。

次に、前記第5～第14実施例における制御電圧 $V_{in_1}$ ～ $V_{in_4}$ の発生回路について説明する。

第26図において、20は制御電圧発生回路、21はカラムデコーダ、22はH/W（脱出／書き込）制御回路、N<sub>1</sub>およびN<sub>2</sub>はピット線選択用のN

がそれぞれ対応して第12図の $V_{DD}$ 、 $V_{BBS}$ 、 $V_{DD}$ 、 $V_{BBS}$ あるいは第13図の $V_{DD}$ 、 $V_{SS}$ 、 $V_{DD}$ 、 $V_{SS}$ となるように電源配線をし、 $V_{o1}=V_{in_1}$ 、 $V_{o2}=V_{in_2}$ となるように配線する。前記H/W制御回路22は、書き込み時および休止モード時に出力ノードCが低レベル電位となり、 $V_{o1}=V_{DD}$ （高レベル電圧）、 $V_{o2}=V_{SS}$ （低レベル電圧）となる。これに対して、読み出し時には出力ノードCがカラムデコーダ21の出力 $V_C$ と同じ電位となり、カラム選択時に $V_C$ が高レベル電位になると $V_{o1}=V_{SS}$ 、 $V_{o2}=V_{DD}$ となる。したがって、読み出し時には、カラム選択された一対のピット線BL、 $\overline{BL}$ に接続された全てのセルに供給される2電源電圧の電位差が大きくなり、それらのセルが接続されたワード線WLのうち電位が高レベル電圧となつた1本の選択ワード線に接続された1個の選択セルにおける一対の転送用トランジスタがオンになり、この選択セルの大きな駆動力でピット線BL、 $\overline{BL}$ のいずれか一方が低電圧側に引き込まれ、そのピット線電圧がピット選

テヤンネルトランジスタ、SLおよび $\overline{SL}$ はセンス線、N<sub>1</sub>およびN<sub>2</sub>はセンス線チャージ用のNチャンネルトランジスタ、23はセンスアンプであり、セルの電源線の表示は省略してあるが一对のピット線BL、 $\overline{BL}$ に共通に接続されているセルは同一の電源供給線に接続される。上記制御電圧発生回路20は、PチャンネルトランジスタP<sub>0</sub>とNチャンネルトランジスタN<sub>0</sub>とかなるCMOSインバータCI<sub>1</sub>と、PチャンネルトランジスタP<sub>10</sub>とNチャンネルトランジスタN<sub>10</sub>とかなるCMOSインバータCI<sub>2</sub>とが二段接続されており、ここで上記前段のインバータCI<sub>1</sub>の出力を $V_{o1}$ 、後段のインバータCI<sub>2</sub>の出力を $V_{o2}$ と表わすものとする。

いま、第26図の回路において、セル電源接続関係が前記第5実施例（第12図）あるいは第6実施例（第13図）のものである場合、制御電圧発生回路20の電源電圧 $V_{DD_1}$ 、 $V_{SS_1}$ およびセンス線プリチャージ用トランジスタN<sub>1</sub>、N<sub>2</sub>の電源電圧 $V_{DD_2}$ およびバクタゲート電圧 $V_{BS_2}$

が用トランジスタN<sub>3</sub>、N<sub>4</sub>を介して一对のセンス線SL、 $\overline{SL}$ に伏わり、さらにセンスアンプ23により増幅され読み出し信号として出力される。

また、上記第26図において、セル電源接続関係が前9実施例（第18図）あるいは第12実施例（第22図）のものである場合、第26図の $V_{SS_1}$ 、 $V_{DD_1}$ 、 $V_{BS_1}$ 、 $V_{DD_2}$ がそれぞれ対応して第18図の $V_{BBS}$ 、 $V_{BBD}$ 、 $V_{BBS}$ 、 $V_{BBD}$ あるいは第22図の $V_{SS}$ 、 $V_{DD}$ 、 $V_{SS}$ 、 $V_{DD}$ となるように電源配線をし、 $V_{o1}=\overline{V_{in_1}}=V_{in_1}$ 、 $V_{o2}=V_{in_2}=\overline{V_{in_2}}$ となるよう配線する。前記H/W制御回路22は、書き込み時および休止モード時に出力ノードCが低レベル電圧となり、 $V_{o1}=V_{DD_1}$ 、 $V_{o2}=V_{SS_1}$ となる。これに対して、読み出し時かつカラム選択時には出力ノードCが高レベル電圧となり、 $V_{o1}=V_{SS_2}$ 、 $V_{o2}=V_{DD_2}$ となる。この読み出し時の動作は上述した第5、第6実施例の動作と同様である。

さらに、前記第26図において、セル電源接続関係が第11実施例（第20図）あるいは第

14実施例(第24図)のものであつて、それそれ第6回に示したようなCNセルを用いる場合には、それぞれ対応して上述した第9実施例あるいは第12実施例における電源系統および制御電圧系統と同様に接続すればよい。

第27回においては、ビット選択用CNチャネルトランジスタP<sub>1</sub>およびP<sub>2</sub>、センスゲートチャージ用CNチャネルトランジスタP<sub>3</sub>およびP<sub>4</sub>を用い、カラムデコーダ21'およびR/W制御回路22'に低レベル論理型のものを用い、制御電圧発生回路20の前段インバータCI<sub>1</sub>の出力をV<sub>o1</sub>、後段インバータCI<sub>2</sub>の出力をV<sub>o2</sub>で表わし、各部の電源電圧を図示の如くV<sub>DD2</sub>、V<sub>SS2</sub>、V'<sub>DD2</sub>、V'<sub>SS2</sub>で表わすものとし、その他は第26回と同じである。

いま、第27回において、セル電源接続関係が第7実施例(第15回)あるいは第8実施例(第16回)のものである場合、第27回のV<sub>DD2</sub>、V<sub>SS2</sub>、V'<sub>DD2</sub>、V'<sub>SS2</sub>がそれぞれ対応して第15回のV<sub>BBD</sub>、V<sub>SS</sub>、V<sub>BBD</sub>、V<sub>SS</sub>あるいは第16回の

給され読み出し信号として出力される。

また、上記第27回において、セル電源接続関係が第10実施例(第19回)あるいは第13実施例(第23回)のものである場合、第27回のV<sub>SS2</sub>、V<sub>DD2</sub>、V'<sub>SS2</sub>、V'<sub>DD2</sub>がそれぞれ対応して第20回のV<sub>BBS</sub>、V<sub>BBD</sub>、V<sub>SS</sub>、V<sub>DD</sub>あるいは第24回のV<sub>SS</sub>、V<sub>DD</sub>、V'<sub>SS</sub>、V'<sub>DD</sub>となるように電源配線をし、V<sub>o1</sub>=V<sub>in1</sub>=V<sub>in4</sub>、V<sub>o2</sub>=V<sub>in2</sub>=V<sub>in3</sub>となるように配線すればよい。

さらに、前記第27回において、セル電源関係が第11実施例(第20回)あるいは第14実施例(第24回)のものであつて、それぞれ第7回に示したようなCDセルを用いる場合には、それぞれ対応して上述した第11実施例あるいは第12実施例における電源系統および制御電圧系統と同様に接続すればよい。

なお、上述した第26回、第27回における制御電圧発生回路20は、CMOS回路構成のものを示したが、エンハンスマント型トランジスタとデイジレクション型トランジスタとからな

V<sub>DD</sub>、V<sub>SS</sub>、V<sub>DD</sub>、V<sub>SS</sub>となるように電源配線をし、V<sub>o1</sub>=V<sub>in1</sub>、V<sub>o2</sub>=V<sub>in2</sub>となるように配線する。前記R/W制御回路22'は、書き込み時および休止モード時に出力ノードCが高レベル電位となり、V<sub>o1</sub>=V<sub>SS2</sub>(低レベル電位)、V<sub>o2</sub>=V<sub>DD2</sub>(高レベル電位)となる。これに対して、読み出し時には出力ノードCがカラムデコーダ21'の出力V<sub>C</sub>と同じ電位となり、カラム選択時にはV<sub>C</sub>が低レベルになるとV<sub>o1</sub>=V<sub>DD2</sub>、V<sub>o2</sub>=V<sub>SS2</sub>となる。したがつて、読み出し時には、カラム選択された一対のビット線BL、 $\overline{BL}$ に接続された全てのセルに供給される2電源電圧の電位差が大きくなり、それらのセルが接続されたワード線W上でのうち電位が低レベル電圧となつた1本の選択ワード線に接続された1個の選択セルにおける一対の転送用トランジスタがオンとなり、そのセルの大きな駆動力でビット線BL、 $\overline{BL}$ のいずれか一方が高電圧側に引き込まれ、そのビット線電位はトランジスタP<sub>1</sub>、P<sub>2</sub>を介してセンス線SL、 $\overline{SL}$ に伝わり、センスアンプ23により増

る所謂E/J回路構成のものでもよいことは勿論である。

また、前記各実施例において、メモリセル以外の周辺回路で用いられている電源電圧V<sub>DD</sub>およびV<sub>SS</sub>のほかにメモリセルで用いられる電源電圧V<sub>BBD</sub>、V<sub>BBS</sub>、V<sub>DD</sub>、V<sub>SS</sub>は、メモリ外部から供給してもよいが、以下に述べるような基板バイアス発生回路の出力を用いてもよい。

第28回において、インバータI<sub>1</sub>～I<sub>4</sub>はリングオシレータを構成しており、このオシレータの出力端はインバータI<sub>1</sub>およびコンデンサC<sub>1</sub>を直列に介してV<sub>BBS</sub>ノードに接続され、このノードはNチャネルトランジスタNにより構成されたダイオードD<sub>1</sub>を順方向に介してV<sub>SS</sub>電源(接地電位)に接続され、このダイオードD<sub>1</sub>は並列に平常コンデンサC<sub>2</sub>が接続されている。したがつて、オシレータの出力はインバータI<sub>1</sub>により増幅され、この出力はコンデンサC<sub>2</sub>を介してV<sub>BBS</sub>ノードにチャージポンプを行ない、このノードではV<sub>SS</sub>電圧より高い正電圧がダイ

オードリバにより  $V_{SS}$  電源へ放電し、 $V_{SS}$  電圧より低い負電圧が平滑コンデンサ  $C_1$  により平滑される。こうして、 $V_{BBS}$  ノードには、メモリセル以外の周辺回路の 2 電源  $V_{DD}, V_{SS}$  の電圧範囲外にある  $V_{BBS}$  電源電圧が得られる。

第 29 図において、インバータ  $I_{1'}-I_2'$  はリングオシレータを構成しており、このオシレータの出力端はインバータ  $I_4'$  およびコンデンサ  $C_1$  を直列に介して  $V_{BBS}$  ノードに接続され、このノードはドチャンネルトランジスタにより構成されたダイオード  $D_2$  を逆方向に介して  $V_{DD}$  電源に接続され、このダイオード  $D_2$  に並列に平滑コンデンサ  $C_2$  が接続されている。したがつて、オシレータの出力はインバータ  $I_4'$  により増幅され、この出力はコンデンサ  $C_1$  を介して  $V_{BBS}$  ノードにチャージポンプを行ない、このノードでは  $V_{DD}$  電圧より低い電圧がダイオード  $D_2$  を介して  $V_{DD}$  電源から充電され、 $V_{DD}$  電圧より高い電圧が平滑コンデンサ  $C_2$  により平滑される。こうして  $V_{BBS}$  ノードには、メモリセル以外の周辺

$P_{ij}$  のドレインから  $V_{SS}$  と  $V_{DD}$  の中間倒坡の電圧  $V'_{SS}$  が得られる。

また、本発明は上記実施例の RAM 以外に ROM (リードオンリーメモリ) にも適用できる。

#### (発明の効果)

上述したように本発明の半導体記憶装置によれば、スタティックメモリセルに供給する 2 つの電源の電位差を読み出しに際して休止モード期間に比べて大きくするようにならうので、従来のビット線の電気容量を小さくする方法やセルのトランジスタのゲート幅を大きくする方法におけるような問題点を伴なわずに容易にしかも効率的に読み出し時間を短縮することができる。すなわち、本発明の実施結果として読み出しに際してメモリセルの 2 電源の電位差を切り換えない従来のメモリに比べて 5 ~ 20 % の読み出し時間の短縮化が実現できた。

#### 4. 図面の簡単な説明

第 1 図乃至第 3 図は本発明の原理を説明する

回路の 2 電源  $V_{DD}, V_{SS}$  の電圧範囲外にある  $V_{BBS}$  電源電圧が得られる。

第 30 図において、i 個の N チャンネルトランジスタ  $N_{1i} \sim N_{ii}$  が直列接続され、各トランジスタ  $N_{1i} \sim N_{ii}$  のバッカゲート電圧として  $V_{SS}$  電圧が印加され、上記トランジスタ  $N_{1i}$  のドレインに  $V_{DD}$  電源が接続されている。したがつて、各トランジスタ  $N_{1i} \sim N_{ii}$  は 5 植管動作を行ない、各トランジスタ  $N_{1i} \sim N_{ii}$  のドレイン電圧のソース電圧に対する閾値電圧降下のために、トランジスタ  $N_{ii}$  のソースから  $V_{DD}$  と  $V_{SS}$  の中間倒坡の電圧  $V'_{DD}$  が得られる。

第 31 図において、j 個の P チャンネルトランジスタ  $P_{1j} \sim P_{ij}$  が直列接続され、各トランジスタ  $P_{1j} \sim P_{ij}$  のバッカゲート電圧として  $V_{DD}$  電圧が印加され、トランジスタ  $P_{1j}$  のソースに  $V_{SS}$  電源が接続されている。したがつて、各トランジスタ  $P_{1j} \sim P_{ij}$  は 5 植管動作を行ない、各トランジスタ  $P_{1j} \sim P_{ij}$  のドレイン電圧のソース電圧に対する閾値電圧上昇のために、トランジスタ

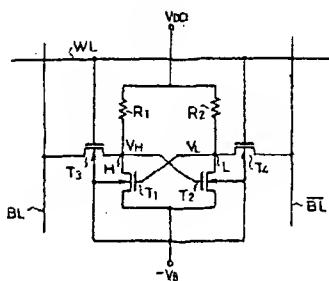
ために示すもので、第 1 図はビルド型ステイックメモリセルと一对のビット線とワード線を示す回路図、第 2 図は第 1 図のメモリセルの駆動トランジスタの電圧対電流特性を示す図、第 3 図は第 1 図のメモリセルの電源電圧 ( $-V_B$ ) 対ビット線引き込み時間  $T$  の関係を示す図、第 4 図(a) (b) 乃至第 7 図(a), (b) は本発明の第 1 乃至第 4 実施例を示すもので、それぞれ(c) 図は簡略的に示す回路図、(b) 図は詳細な回路図、第 8 図乃至第 11 図は上記第 1 乃至第 4 実施例における電源電圧の大きさ関係を示す図、第 12 図は第 5 実施例を示す回路図、第 13 図は第 6 実施例を示す回路図、第 14 図は第 13 図の電源電圧関係を示す図、第 15 図は第 7 実施例を示す回路図、第 16 図は第 8 実施例を示す回路図、第 17 図は第 16 図の電源電圧関係を示す図、第 18 図乃至第 20 図はそれぞれ対応して第 9 乃至第 11 実施例を示す回路図、第 21 図は第 18 図乃至第 20 図の電源電圧関係を示す図、第 22 図乃至第 24 図はそれぞれ対応して第 1 乃至第

第1~4実施例を示す回路図、第2~5図は第2~2  
回路第2~4図の電源電圧回路を示す図、第  
2~6図および第2~7図は第1~2図乃至第2~5図  
の各実施例における制御電圧の発生。供給系統  
を説明するために示す回路図、第2~8図乃至第  
3~1図は第4図乃至第2~5図の各実施例における  
V<sub>DD</sub>, V<sub>SS</sub>以外の電源電圧の発生回路を示す回  
路図である。

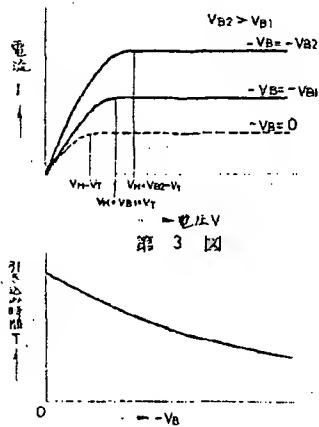
T<sub>3</sub>, T<sub>4</sub>, T<sub>3'</sub>, T<sub>4'</sub> … 駆動用トランジスタ、  
BL,  $\bar{B}L$  … ビット線、WL … ワード線、V<sub>DD</sub>,  
V<sub>SS</sub>, V<sub>BBD</sub>, V<sub>BBS</sub>, V<sub>DU</sub>, V<sub>S</sub> … 電源電圧、V<sub>XIN</sub>, V<sub>XBP</sub>  
… パックゲート電源電圧、N<sub>1</sub>, N<sub>2</sub>, P<sub>1</sub>, P<sub>2</sub> … 電源  
供給用選択用トランジスタ、N<sub>3</sub>, N<sub>4</sub>, P<sub>3</sub>, P<sub>4</sub> … ビッ  
ト線選択用トランジスタ、20 … 制御電圧発生  
回路、21 … カラムデコード。

出願人代他人 井理士 錦江武彦

第1図

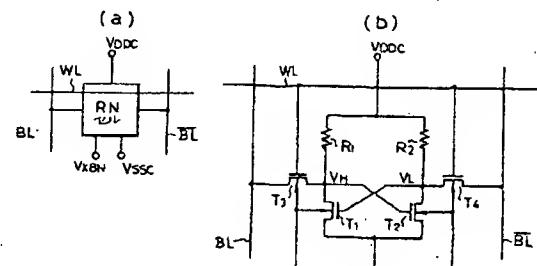


第2図

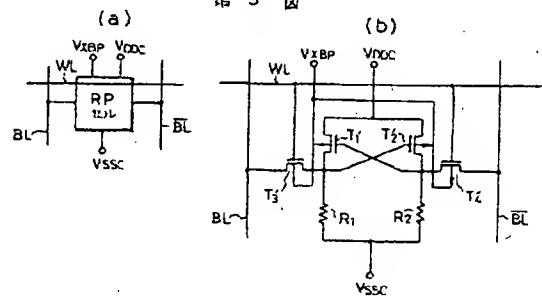


第3図

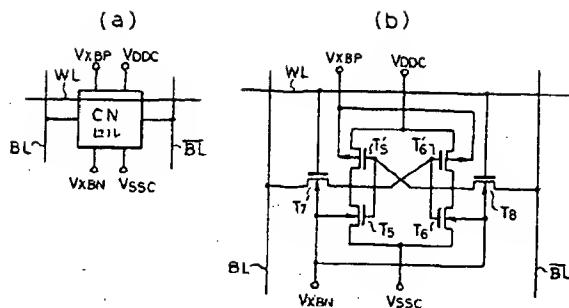
第4図



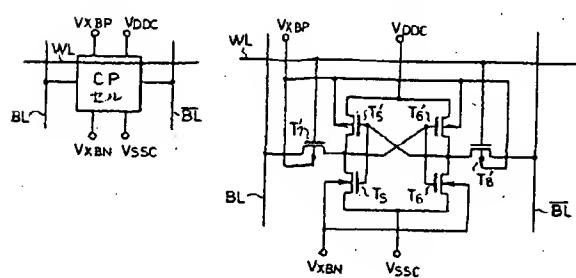
第5図



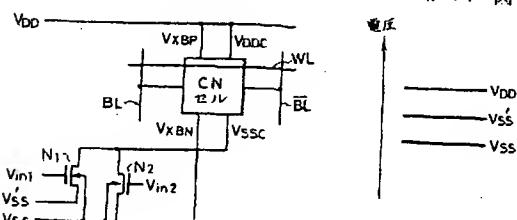
第6図



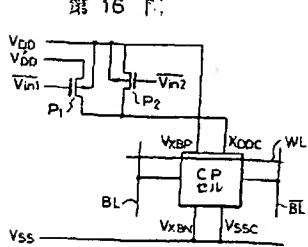
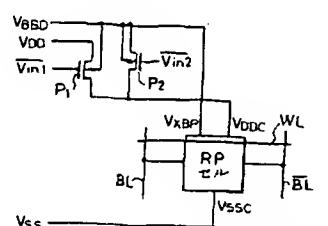
第7図



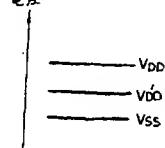
第13図



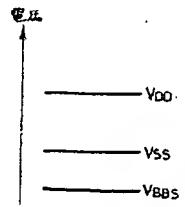
第15図



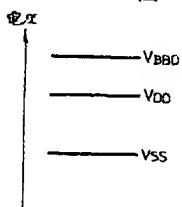
第17図



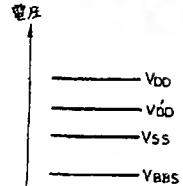
第8図



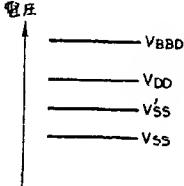
第9図



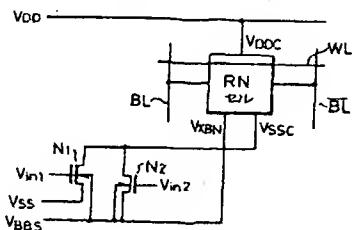
第10図



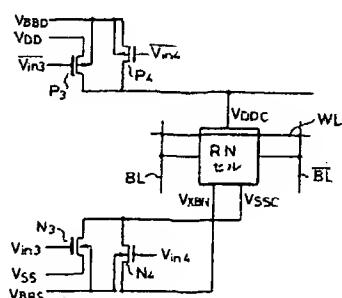
第11図



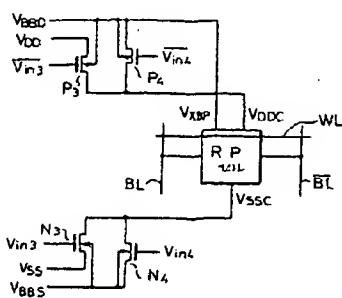
第12図



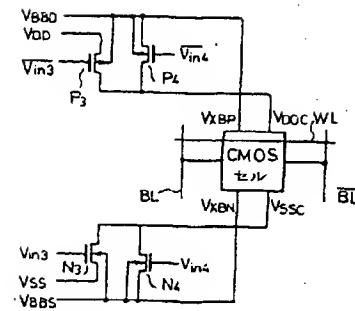
第18図



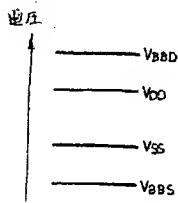
第19図



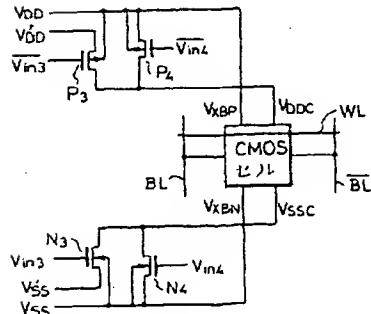
### 第 20 図



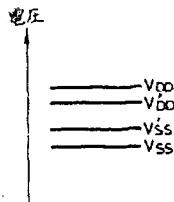
第 21 圖



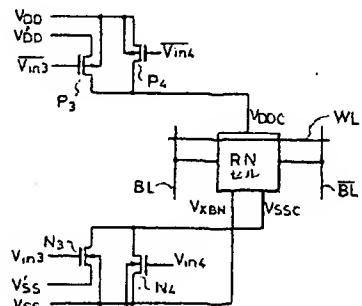
第 24 畫



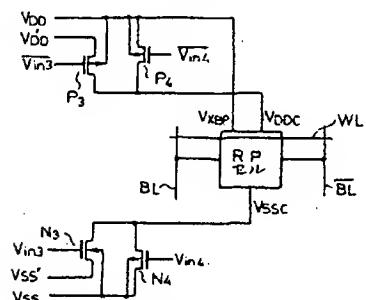
第 25 圖



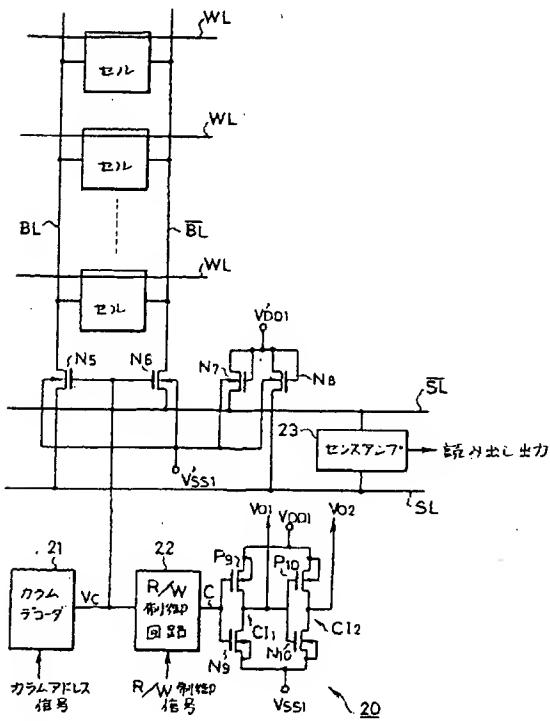
第 22 図



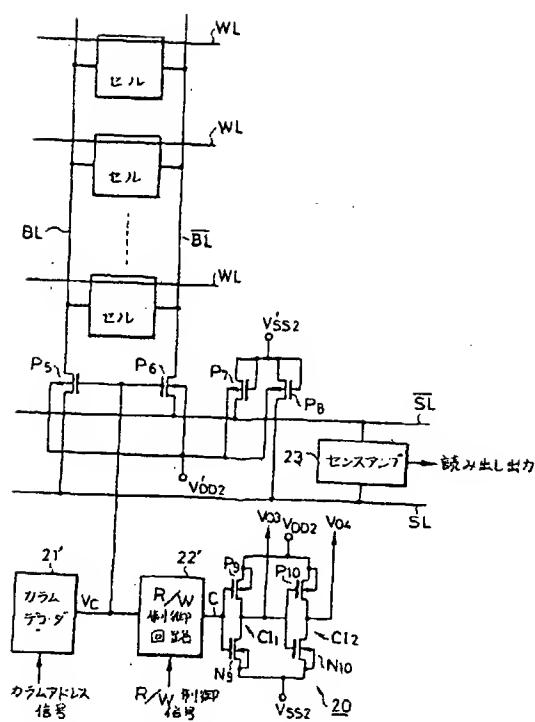
第 23 四



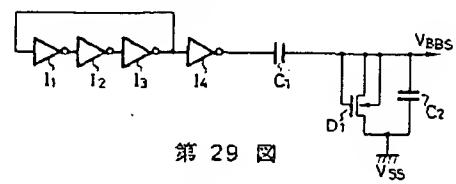
第 26 図



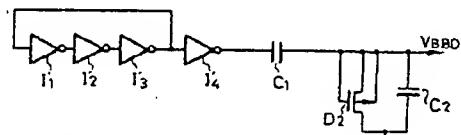
第 27 図



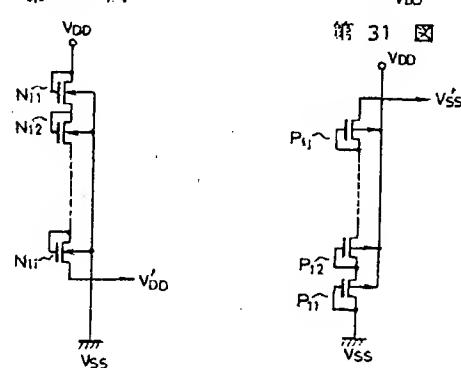
第 28 図



第 29 図



第 30 図



第 31 図

58-211391

-1-

TRANSLATION

(19) Japanese Patent Office (JP)  
(12) Patent Publication (A)  
(11) Japanese Patent Provisional  
Publication of a patent application  
No. Sho 58-211391  
(43) Publication: December 8, Showa 58 (1983)  
(51) Int.Cl.<sup>3</sup> Identification Internal  
G 11 C 11/34 Symbol Reference No.  
H 01 L 27/10 6549-5B  
6655-5F  
Number of invention(s) 1  
Request for Examination: not requested  
(Total 13 pages)

(54) Semiconductor Storage Device  
(21) Application No. Patent Application Sho 57-92890  
(22) Filing date May 31 Showa 57 (1982)  
(72) Inventor: Konishi Satoru  
c/o Research and Development Center,  
Tokyo Shibaura Denki Kabushiki Kaisha,  
1, Komukai-Toshiba-cho, Saiwai-ku,  
Kawasaki-shi, Kanagawa-ken, Japan  
(71) Applicant: Toshiba Corporation  
72, Horikawa-cho, Saiwai-ku,  
Kawasaki-shi, Kanagawa-ken, Japan  
(74) Agent Suzue Takehiko, Patent Attorney  
And other 2 agents

#### SPECIFICATION

##### 1. Title of Invention

Semiconductor Storage Device

##### 2. What Is Claimed Is

- (1) A semiconductor storage device comprising: plural static memory cells arrayed in row direction and column direction, a pair of bit lines connected to each end of a pair of transfer MOS transistors in each of memory cells in the same column; a word line connected to each gate of the transfer MOS transistors in each of memory cells in the same row; and power supply switching means for switching one of two power supplies to be supplied to said memory cell to a third power supply upon reading of memory cell, thereby increasing a potential difference between the two power supplies of the memory cell in comparison with that during a memory pause mode period.
- (2) The semiconductor storage device according to claim 1, wherein said third power supply, different from the two power supplies used in peripheral circuits other than the memory cell, has a voltage out of a voltage range of the two power supplies.
- (3) The semiconductor storage device according to claim 1, wherein said third power supply is one of the two power supplies used in peripheral circuits other than the memory cell.
- (4) The semiconductor storage device according to claim 1, wherein said power supply switching means switches the other power supply of the two power supplies to be supplied to said memory cell to a fourth power supply.

(5) The semiconductor storage device according to claim 4, wherein said fourth power supply, different from the two power supplies used in peripheral circuits other than the memory cell, has a voltage out of a voltage range of the two power supplies and on a side different from said third power supply.

(6) The semiconductor storage device according to claim 4, wherein said fourth power supply, different from the two power supplies used in peripheral circuits other than the memory cell, has a voltage in an intermediate area of voltage range of the two power supplies.

(7) The semiconductor storage device according to claim 1, wherein said third power supply is supplied as a back gate power supply to a semiconductor substrate or an impurity diffusion layer of inverse conductive type to the semiconductor substrate, provided in the semiconductor substrate.

(8) The semiconductor storage device according to claim 4, wherein said fourth power supply is supplied as a back gate power supply.

(9) The semiconductor storage device according to claim 1, wherein said third power supply is generated by a voltage generation circuit that operates the two power supplies supplied from the outside the memory or used in peripheral circuits other than said memory cell.

(10) The semiconductor storage device according to claim 4, wherein said fourth power supply is generated by a voltage generation circuit that operates the two power supplies supplied from the outside the memory or used in peripheral circuits other than said memory cell.

(11) The semiconductor storage device according to claim 1, wherein said static memory cell is an E/R type memory cell, and wherein all the enhancement type transistors used in the cell are of N-channel or P-channel type.

(12) The semiconductor storage device according to claim 1, wherein said static memory cell is a CMOS memory cell.

(13) The semiconductor storage device according to claim 1, wherein a control voltage to switching control said power supply switching means is generated based on a column decoder output applied to a gate of a bit-line selection transistor connected to said pair of bit lines.

### 3. Detailed Description of the Invention

#### [Technical Field of the Invention]

The present invention relates to a static type semiconductor storage device applied to an integrated circuit memory, a memory of 1-chip microcomputer and the like.

#### [Technical Background of the Invention and Its Problem]

As memories are highly integrated and have large capacity, memory cells connected to bit lines become fine

and their driving performance becomes lower. On the other hand, the number of memory cells connected to one bit line increases, and the capacity of the bit line increases. Accordingly, upon reading, time required for driving a pair of bit lines and obtaining a read-enable potential difference therebetween by one memory cell increases, and the reading time is prolonged. Further, for the sake of reduction of electric consumption, a power supply voltage of the memory must be reduced. In this case, the driving performance of the memory cell is further lowered, and the reading time is further prolonged. On the other hand, (a) to reduce electric capacity of bit line as load, the drain area of transfer transistor of the memory cell connected to the bit line is reduced as much as possible so as to reduce diffusion capacity, or on the contrary, (b) to increase the driving performance of the cell, the gate width of the transistor of the cell is increased. However, in the method (a), as the minimum drain area of the transfer transistor cannot be equal to or smaller than a contact surface between the drain and the bit line formed with a metal wire layer, the diffusion capacity of the bit line cannot be reduced so much. However, as the transistor becomes fine, the punch through withstand voltage becomes lower, and accordingly, the concentration of the substrate must be increased. This increases the diffusion capacity of the drain of the

transfer transistor, and increases the diffusion capacity of the bit line. On the other hand, in the method of (b), as the increase in the gate width of the transistor increases the cell size, the increase can be made only when the area of the cell pattern have some allowance. However, if the cell area has no allowance, the gate width of the transistor is increased at most 10%. The increase cannot be easily realized in any cell pattern.

[Purpose of the Invention]

The present invention has been made in view of the above situation, and provides a semiconductor storage device in which reading time can be easily and effectively reduced in comparison with the conventional method of reducing the electric capacity of bit line and the method of increasing the gate width of the transistor of memory cell, having physical difficulties.

[Summary of the Invention]

That is, the semiconductor storage device of the present invention comprises power supply switching means for switching one of two power supplies to be supplied to a static memory cell to a third power supply upon memory cell reading, thereby increasing a potential difference between the two power supplies of the memory in comparison with that in a memory pause mode period.

Accordingly, upon reading, i.e., during a read mode period or the entire or part of read cycle, the potential difference between the two power supplies is larger than that in the pause mode period, the bit line driving performance of the memory cell increases, and high-speed reading can be made.

[Working Example of the Invention]

Hereinbelow, a working example of the present invention will be described in detail with reference to the drawings. First, the principles of the present invention will be described. Fig. 1 shows connection between a so-called E/R type memory cell using resistor element loads and enhancement type drive transistors, a pair of bit lines BL,  $\overline{BL}$ , and a word line WL, as an example of the static memory cell. Note that in this example, the drive transistor and the transfer transistor of the memory cell are N-channel MOS transistors. The memory cells are arrayed in row direction and column direction. A pair of bit lines BL,  $\overline{BL}$  is connected to the memory cells in the same column of the memory cell, and one word line WL is connected to the memory cells in the same row. In the memory cell, each terminal of resistor devices  $R_1$ ,  $R_2$  are connected to a first power supply  $V_{DD}$  on the high potential side, an enhancement type N-channel MOS transistor (drive transistor)  $T_1$  is connected between the other terminal (node H) of the resistor device

$R_1$  and a second power supply ( $-V_B$ ) on the low potential side, and an enhancement type N-channel MOS transistor (drive transistor)  $T_2$  is connected between the other terminal (node L) of the resistor device  $R_2$  and the second power supply ( $-V_B$ ). The gate of the transistor  $T_2$  is connected to the node H, and the gate of the transistor  $T_1$  is connected to the node L. Further, an enhancement type N-channel MOS transistor (transfer transistor)  $T_3$  is connected between the node H and the bit line BL, and an enhancement type N-channel MOS transistor (transfer transistor)  $T_4$  is connected between the node L and the bit line  $\overline{BL}$ . The gates of these transfer transistors  $T_3$ ,  $T_4$  are connected to the word line WL. Further, the  $-V_B$  power supply is applied as a back gate voltage of the respective transistors  $T_1$  to  $T_4$ .

In the memory cell, assuming that the transistor  $T_1$  is off, the transistor  $T_2$ , on, the node H, at a high level potential  $V_H$ , and the node L, at a low level potential  $V_L$ , the potential  $V_H$  is the  $V_{DD}$  voltage, and the potential  $V_L$  is closer to the  $-V_B$  voltage at this time. Characteristics of voltage V versus current I between the source and the drain of the drive transistor  $T_2$  connected to the bit line  $\overline{BL}$  at the low level potential  $V_L$  are as shown in Fig. 2. Note that  $V_T$  denotes a threshold voltage of the drive transistor  $T_2$ , and the substrate bias dependence of the threshold voltage is ignored for the sake of simplification of explanation.

The difference in the respective characteristics in  $-V_B=0V$ ,  $-V_B=-V_{B1}$  or  $-V_B=-V_{B2}$  is the difference in source potential of the drive transistor  $T_2$ , and therefore, even though the gate potential  $V_H$  is constant, the gate potential to the source potential differs, and the current driving performance of the drive transistor  $T_2$  greatly differs in accordance with the value of  $-V_B$ . As the low level potential  $V_L$  is far less than  $V_H-V_T$ , the drive transistor  $T_2$  performs triode operation. The difference in the V-I characteristics of the drive transistor  $T_2$  due to the difference in the  $-V_B$  potential is the difference in raise of the voltage  $V$  between the source and drain around 0V. It is understood that as the  $-V_B$  potential becomes negative potential from 0V, the pull-in driving performance to the bit line  $\overline{BL}$  increases.

Fig. 3 shows pull-in time  $T$  from the precharge level of the bit line  $\overline{BL}$  with respect to the  $-V_B$  potential to the low level potential side in the memory cell in Fig. 1. As  $-V_B$  becomes higher negative voltage, the pull-in driving performance of the cell increases, thereby the bit line pull-in time  $T$  decreases. Note that in a CMOS memory cell where a load transistor and a drive transistor are of mutually inverse conductive types, the relation as shown in Fig. 3 is established.

Accordingly, the present invention performs high-speed reading by increasing the potential difference

between one power supply  $V_{DD}$  and the other power supply ( $-V_B$ ) of the cell in comparison with the pause mode period of the memory.

Hereinbelow, particular examples where the present invention is applied to various types of static memory cells will be described.

First, the nomenclature of memory cells will be described. Among the E/R type cells, an N-channel cell will be referred to as an RN cell, and a P-channel type cell, a RP cell. Among the CMOS type cells, an N-channel transistor will be referred to as a CN cell, and a P-channel transistor, a CP cell.

Fig. 4(a) schematically shows an application of the invention to the RN cell, and the details are as shown in Fig. 4(b). Note that the high potential side voltage of the cell is represented as  $V_{DDC}$ , the low potential side voltage,  $V_{SSC}$ , the back gate voltage of the transistors  $T_1$  to  $T_4$ ,  $V_{XBN}$ , the word line, WL, and the pair of bit lines, BL,  $\overline{BL}$ .

Fig. 5(a) schematically shows an application of the invention to the RP cell, and the details are as shown in Fig. 5(b). Note that numerals  $T_1'$  to  $T_4'$  denote P-channel MOS transistors; and  $R_1$  and  $R_2$ , resistor devices. The back gate voltage of the cell is represented as  $V_{XBP}$ . The other elements have the same representation as those in Fig. 4.

Fig. 6(a) schematically shows an application of the invention to the CN cell, and the details are as shown in Fig. 6(b).

Fig. 7(a) schematically shows an application of the invention to the CP cell, and the details are as shown in Fig. 7(b).

Note that in Figs. 6 and 7, numerals  $T_5$  to  $T_8$  denote N-channel MOS transistors;  $T_5'$  to  $T_8'$ , P-channel MOS transistors;  $V_{DDC}$ , the high potential side power supply;  $V_{SSC}$ , the low potential side power supply;  $V_{XBN}$  and  $V_{XBP}$ , respectively back gate power supplies of N-channel transistor and P-channel transistors, supplied to a semiconductor substrate and an impurity diffusion layer of inverse conductive type to the semiconductor substrate, provided in the semiconductor substrate.

Figs. 8 to 11 show the relation among power supply voltages selectively applied to the memory cells in Figs. 4 to 7. Numerals  $V_{DD}$  and  $V_{SS}$  denote voltages ( $V_{DD} > V_{SS}$ ) of two power supplies used in peripheral circuits other than the memory cell;  $V_{BBS}$  and  $V_{BBB}$ , voltages of third power supplies respectively out of the range of the two power supplies, i.e.,  $V_{BBS} < V_{SS}$ ,  $V_{BBB} > V_{DD}$  holds;  $V_{DD'}$  and  $V_{SS'}$ , of fourth power supplies, and  $V_{SS} < V_{DD'} < V_{DD}$ ,  $V_{SS} < V_{SS'} < V_{DD}$  hold. In this case, potential differences  $|V_{DD'} - V_{BBS}|$ ,  $|V_{BBB} - V_{SS'}|$  between the third and fourth power supplies are set to be higher than

the potential difference between the two power supplies of the memory cell during the pause mode period of the memory,  $|V_{DD} - V_{SS}|$ .

(1) First Working Example

The memory cell as shown in Fig. 4 or 6 is used. As the power supply voltage of the memory cell, the power supply with the voltage relation as shown in Fig. 8 is prepared. Upon reading,  $V_{DDC} = V_{DD}$ ,  $V_{SSC} = V_{XBN} = V_{BBS}$  hold, and further, in Fig. 6,  $V_{XBP} \geq V_{DDC}$  holds.

(2) Second Working Example

The memory cell as shown in Fig. 5 or 7 is used. As the power supply voltage of the cell, the power supply with the voltage relation as shown in Fig. 9 is prepared. Upon reading,  $V_{DDC} = V_{XBP} = V_{BBD}$ ,  $V_{SSC} = V_{SS}$  hold, and further, in Fig. 7,  $V_{XBN} \leq V_{SSC}$  holds.

According to the above-described first and second working examples, upon reading, at least one of the high potential side power supply voltage  $V_{DDC}$  and the low potential side power supply voltage  $V_{SSC}$  is the voltage  $V_{BBS}$  or  $V_{BBD}$  of the third power supply out of the voltage range ( $V_{DD}$  to  $V_{SS}$ ) of the two drive power supplies used in peripheral circuits other than the memory cell, and the potential differences between the two power supplies of the memory cell  $|V_{DD} - V_{BS}|$ ,  $|V_{BBD} - V_{SS}|$  are greater than the potential difference between the two power supplies of the

memory cell during the pause mode period  $|V_{DD} - V_{SS}|$ . Accordingly, the pull-in driving performance of the cell to the bit line in the  $V_{SS}$  power supply voltage direction or  $V_{DD}$  power supply voltage direction increases. As described in Fig. 3, the bit line pull-in time is reduced, and the reading time is reduced 5 to 20% in comparison with the conventional art.

#### (3) Third Working Example

The memory cell as shown in Fig. 4 or 6 is used. As the power supply voltage of the memory cell, four power supplies with the voltage relation as shown in Fig. 10 are prepared. Upon reading,  $V_{DDC} = V_{DD'}$ ,  $V_{SSC} = V_{XBN} = V_{BBS}$  hold, and further, in Fig. 6,  $V_{XBP} \geq V_{DDS}$  holds.

#### (4) Fourth Working Example

The memory cell as shown in Fig. 5 or 7 is used. As the power supply voltage of the memory cell, four power supplies with the voltage relation as shown in Fig. 11 are prepared. Upon reading,  $V_{DDC} = V_{XBP} = V_{BBD}$ ,  $V_{SSC} = V_{SS'}$  hold, and further, in Fig. 7,  $V_{XBN} \geq V_{SSS}$  holds.

According to the above-described third and fourth working examples, upon reading, the third power supply  $V_{BBS}$  or  $V_{BBD}$ , and the fourth power supply  $V_{DD'}$  or  $V_{SS'}$ , used in the peripheral circuits other than the memory cell, different from the driving two power supplies  $V_{DD}$ ,  $V_{SS}$ , are used as the two power supplies of the memory cell, and the potential

difference between the third and fourth power supplies is greater than that between the two power supplies of the memory cell during the pause mode period. Accordingly, the pull-in driving performance of the cell to the bit line increases, and as described in Fig. 3, the bit line pull-in time  $T$  is reduced, and the reading time is reduced 5 to 20% in comparison with the conventional art.

Note that in the first and third working examples,  $V_{XBN}=V_{BBS}$  holds, however, it may be arranged such that a power supply with a voltage lower than  $V_{BBS}$  is provided and the voltage of the power supply is used as  $V_{XBN}$ . Further, in the second and fourth working examples,  $V_{XBP}=V_{BBD}$  holds, however, it may be arranged such that a power supply with a voltage higher than  $V_{BBD}$  is provided and the voltage of the power supply is used as  $V_{XBP}$ .

Next, description will be made about fifth to eighth working example where power supply switching means for switching one of the power supplies of the memory cell upon memory cell reading so as to increase the potential difference between the two power supplies of the memory cell to be greater than that during the pause mode period is used, thereby the reading speed is increased.

#### (5) Fifth Working Example

The RN cell is used as shown in Fig. 12, and the power supply voltage with the relation as shown in Fig. 8

( $V_{DD} > V_{SS} > V_{BBS}$ ) is used.  $V_{DDC} = V_{DD}$ ,  $V_{XBN} = V_{BBS}$  hold. An N-channel MOS transistor  $N_1$ , gate-controlled by a control voltage  $V_{in_1}$ , is connected between the  $V_{SS}$  line and the  $V_{SSC}$  line of the cell, and an N-channel MOS transistor  $N_2$ , gate-controlled by a control voltage  $V_{in_2}$ , is connected between the  $V_{BBS}$  line and the  $V_{SSC}$  line of the cell. During the pause mode period, the voltage  $V_{in_1}$  is a high level voltage while the voltage  $V_{in_2}$  is a low level voltage, the transistor  $N_1$  is on while the transistor  $N_2$  is off, and  $V_{SSC} = V_{SS}$  holds. On the other hand, upon reading, the voltage  $V_{in_1}$  is a low level voltage while the voltage  $V_{in_2}$  is a high level voltage, the transistor  $N_1$  is off while the transistor  $N_2$  is on, and  $V_{SSC} = V_{BBS}$  holds. At this time, the potential difference between the two power supplies  $V_{DDC}$  and  $V_{SSC}$  of the memory cell increases.

#### (6) Sixth Working Example

The CN cell is used as shown in Fig. 13, and the power supply voltage with the relation as shown in Fig. 14 ( $V_{DD} > V_{SS} > V_{BBS}$ ) is used.  $V_{DDC} = V_{XBP} = V_{DD}$ ,  $V_{XBN} = V_{SS}$  hold. The N-channel transistor  $N_1$  is connected between the  $V_{SS}$  line and the  $V_{SSC}$  line of the cell and the above-described  $V_{in_1}$  is applied to its gate, and the N-channel transistor  $N_2$  is connected between the  $V_{SS}$  line and the  $V_{SSC}$  line of the cell and the above-described  $V_{in_2}$  is applied to its gate. Accordingly, in comparison with the potential difference

( $|V_{DD} - V_{SS}|$ ) between the two power supplies of the cell during the pause mode period, it becomes  $V_{DD}$  to  $V_{SS}$  upon reading, thus becomes relatively large.

(7) Seventh Working Example

The RP cell is used as shown in Fig. 15, and the power supply voltage with the relation as shown in Fig. 9 ( $V_{BBB} > V_{DD} > V_{SS}$ ) is used.  $V_{SSC} = V_{SS}$ ,  $V_{XBP} = V_{BBB}$  hold. A P-channel transistor  $P_1$ , gate-controlled by a control voltage  $\overline{Vin}_1$ , is connected between the  $V_{DD}$  line and the  $V_{BBB}$  line, and a P-channel transistor  $P_2$ , gate-controlled by a control voltage  $\overline{Vin}_2$ , is connected between the  $V_{BBB}$  line and the  $V_{DDC}$  line of the cell. During the pause mode period, the voltage  $\overline{Vin}_1$  is a low level voltage while the voltage  $\overline{Vin}_2$  is a high level voltage, the transistor  $P_1$  is on while the transistor  $P_2$  is off, and  $V_{DDC} = V_{DD}$  holds. On the other hand, upon reading, the voltage  $\overline{Vin}_1$  is a high level voltage while the voltage  $\overline{Vin}_2$  is a low level voltage, the transistor  $P_1$  is off while the transistor  $P_2$  is on, and  $V_{DDC} = V_{BBB}$  holds. At this time, the potential difference between the two power supplies  $V_{DDC}$ ,  $V_{SSC}$  of the memory cell increases.

(8) Eighth Working Example

The CP cell is used as shown in Fig. 16, and the power supply voltage with the relation as shown in Fig. 17 ( $V_{DD} > V_{DD'} > V_{SS}$ ) is used.  $V_{SSC} = V_{XBN} = V_{SS}$ ,  $V_{XBP} = V_{DD}$  hold. The P-channel transistor  $P_1$  is connected between the  $V_{DD'}$  line and

the  $V_{DDC}$  line of the cell and the above-described  $\overline{V_{in_1}}$  is applied to its gate, and The P-channel transistor  $P_2$  is connected between the  $V_{DD}$  line and the  $V_{DDC}$  line of the cell and the above-described  $\overline{V_{in_2}}$  is applied to its gate. Accordingly, in comparison with the potential difference between the two power supplies of the cell during the pause mode,  $|V_{DD} - V_{SS}|$ , that is  $|V_{DD} - V_{SS}|$  upon reading, which is relatively large.

Next, description will be made on ninth to fourteenth working examples where both of the two power supplies of the memory cell upon memory cell reading are switched so as to increasing the potential difference between the two power supplies of the cell to be grater than that during the pause mode period, thereby the reading speed is increased.

#### (9) Ninth Working Example

The RN cell is used as shown in Fig. 18, and the power supply voltage with the relation as shown in Fig. 21 ( $V_{BBD} > V_{DD} > V_{SS} > V_{BBS}$ ) is used.  $V_{XBN} = V_{BBS}$  holds. An N-channel transistor  $N_3$ , gate-controlled by a control voltage  $V_{in_3}$ , is connected between the  $V_{ss}$  line and the  $V_{ssc}$  line of the cell, an N-channel transistor  $N_4$ , gate-controlled by a control voltage  $V_{in_4}$ , is connected between the  $V_{BBS}$  line and the  $V_{ssc}$  line of the cell, an P-channel transistor  $P_3$ , gate-controlled by a control voltage  $\overline{V_{in_3}}$ , is connected between the  $V_{DD}$  line and the  $V_{DDC}$  line of the cell, and a

P-channel transistor  $P_4$ , gate-controlled by a control voltage  $\overline{Vin}_4$ , is connected between the  $V_{BDD}$  line and the  $V_{DDC}$  line of the cell. During the pause mode period, the voltages  $Vin_3$  and  $\overline{Vin}_4$  are high level voltages while the voltages  $\overline{Vin}_3$  and  $Vin_4$  are low level voltages, the transistors  $N_3$  and  $P_3$  are on while the transistors  $N_4$  and  $P_4$  are off, and  $V_{SSC}=V_{ss}$ ,  $V_{DDC}=V_{DD}$  hold. On the other hand, upon reading, the voltages  $Vin_3$  and  $\overline{Vin}_4$  are low level voltages while the voltages  $Vin_3$  and  $Vin_4$  are high level voltages, the transistors  $N_3$  and  $P_3$  are off while the transistors  $N_4$  and  $P_4$  are on, and  $V_{SSC}=V_{BBS}$ ,  $V_{DDC}=V_{BBD}$  hold. The potential difference between the two power supplies  $V_{DDC}$ ,  $V_{SSC}$  of the memory cell increases.

(10) Tenth Working Example

The RP cell is used as shown in Fig. 19, and the power supply voltage with the relation as shown in Fig. 21 is used.  $V_{XBP}=V_{BBD}$  holds. In comparison with the ninth working example, merely the type of the cell and the back gate application voltage of the cell are different, and an operation corresponding to that of the ninth working example is performed.

(11) Eleventh Working Example

The CMOS cell (the CN cell in Fig. 6 or the CP cell in Fig. 7) is used as shown in Fig. 20, and the power supply voltage with the relation as shown in Fig. 21 is used.  $V_{XBN}=V_{BBS}$ ,  $V_{XBP}=V_{BBD}$  hold. In comparison with the ninth working

example, merely the type of the cell and the back gate application voltage of the cell are different, and an operation corresponding to that of the ninth working example is performed.

(12) Twelfth Working Example

The RN cell is used as shown in Fig. 22, and the power supply voltage with the relation as shown in Fig. 25 ( $V_{DD} > V_{DD'} > V_{SS} > V_{SS'}$ ) is used. As the above  $V_{BBD}$ ,  $V_{DD}$ ,  $V_{SS}$ ,  $V_{BBS}$  in the ninth working example described in Fig. 18 to 21 are replaced with  $V_{DD}$ ,  $V_{DD'}$ ,  $V_{SS'}$ ,  $V_{SS}$  in Fig. 23, and an operation corresponding to that of the ninth working example is performed.

(13) Thirteenth Working Example

The RP cell is used as shown in Fig. 23, and the power supply voltage with the relation as shown in Fig. 25 is used. As the above power supply voltages in the tenth working example described in Figs. 19 and 21 are replaced with those in Fig. 23, and an operation corresponding to that of the tenth working example is performed.

(14) Fourteenth Working Example

The CMOS cell (the CN cell in Fig. 6 or the CP cell in Fig. 7) is used as shown in Fig. 24, and the power supply voltage with the relation as shown in Fig. 25 is used. As the above power supply voltages in the eleventh working example described in Figs. 20 and 21 are replaced with those

in Fig. 23, and an operation corresponding to that of the eleventh working example is performed.

Next, a generation circuit of the control voltages  $V_{in_1}$  to  $\overline{V_{in_4}}$  in the fifth to fourteenth working examples will be described.

In Fig. 26, numeral 20 denotes a control voltage generation circuit; 21, a column decoder; 22, an R/W (read/write) control circuit;  $N_5$  and  $N_6$ , N-channel transistors for bit line selection;  $SL$  and  $\overline{SL}$ , sense lines;  $N_7$  and  $N_8$ , N-channel transistors for charging the sense lines; and 23, a sense amplifier. Although the display of the power supply lines of the cell is omitted, a cell connected to the pair of bit lines  $BL$ ,  $\overline{BL}$  is connected to the same power supply line. The control voltage generation circuit 20 has a CMOS inverter  $CI_1$  including a P-channel transistor  $P_9$ , and an N-channel transistor  $N_9$ , and a CMOS inverter  $CI_2$  including a P-channel transistor  $P_{10}$  and an N-channel transistor  $N_{10}$ , connected in two stages. Note that an output from the first stage inverter  $CI_1$  is represented as  $Vo_1$ , that from the second stage inverter  $CI_2$ ,  $Vo_2$ .

In the circuit of Fig. 26, in a case where the connection among the cell power supplies is as described in the fifth working example (Fig. 12) of the sixth working example (Fig. 13), power supply wiring is made such that power supply voltages  $V_{DD_1}$ ,  $V_{SS_1}$  of the control voltage

generation circuit 20 and power supply voltages  $V'DD_1$  and back gate voltage  $V'ss_1$  of the sense-line precharge transistors  $N_7$ ,  $N_8$  become  $V_{DD}$ ,  $V_{BBS}$ ,  $V_{DD}$ ,  $V_{BBS}$  in Fig. 12 or  $V_{DD}$ ,  $V_{SS}$ ,  $V_{DD}$ ,  $V_{SS}$  in Fig. 13, and  $V_{01}=V_{in_1}$ ,  $V_{02}=V_{in_2}$  hold. In the R/W control circuit 22, upon writing and in the pause mode, an output node C is at a low level potential, and  $V_{01}=V_{DD_1}$  (high level voltage),  $V_{02}=V_{SS_1}$  (low level voltage) hold. On the other hand, upon reading, the output node C is at the same potential as that of an output  $V_c$  of the column decoder 21, and when  $V_c$  is at a high level potential upon column selection,  $V_{01}=V_{SS_1}$ ,  $V_{02}=V_{DD_1}$  hold. Accordingly, upon reading, the potential difference between the 2 power supply voltages supplied to all the cells connected to the column-selected pair of bit lines  $BL$ ,  $\overline{BL}$  increases, and a pair of transfer transistors are on in one selected cell connected to one selected word line, which is at a high level voltage, among the word lines WL connected to the cells. One of the bit lines  $BL$ ,  $\overline{BL}$  is pulled in to the low voltage side by the large driving force of the selected cell, then the bit line voltage is transmitted to the pair of sense lines  $SL$ ,  $\overline{SL}$ , via the bit line selection transistors  $N_5$ ,  $N_6$ , and further, it is amplified by the sense amplifier 23 and outputted as a read signal.

Further, in Fig. 26, in a case where the connection relation among the cell power supplies is that of the ninth

working example (Fig. 18) or the twelfth working example (Fig. 22), the power supply wiring is made such that  $V_{SS1}$ ,  $V_{DD1}$ ,  $V'_{SS1}$ ,  $V'_{DD1}$  in Fig. 26 become  $V_{BBS}$ ,  $V_{BBD}$ ,  $V_{BBS}$ ,  $V_{BBD}$  in Fig. 18 or  $V_{SS}$ ,  $V_{DD}$ ,  $V_{SS}$ ,  $V_{DD}$  in Fig. 22, and  $V_{01} = \overline{Vin_4} = Vin_3$ ,  $V_{02} = Vin_4 = \overline{Vin_5}$  hold. In the R/W control circuit 22, upon writing or in the pause mode, the output node C is at a low level voltage, and  $V_{01} = V_{DD1}$ ,  $V_{02} = V_{SS1}$  hold. On the other hand, upon reading and column selection, the output node C is at a high level voltage, and  $V_{01} = V_{SS1}$ ,  $V_{02} = V_{DD1}$  hold. The operation upon reading is the same as that in the above-described fifth and sixth working examples.

Further, in Fig. 26, in a case where the connection relation among the cell power supplies is that of the eleventh working example (Fig. 20) or the fourteenth working example (Fig. 24) and the CN cell as shown in Fig. 6 is used, the connection may be made similar to the power supply system and the control voltage system in the above-described ninth working example or the twelfth working example.

In Fig. 27, the P-channel transistors  $P_5$  and  $P_6$  are used for bit selection, and P-channel transistors  $P_7$  and  $P_8$ , for sense line charging. Low-level logic type column decoder 21' and R/W control circuit 22' are used. An output from the first stage inverter  $CI_1$  of the control voltage generation circuit 20 is represented as  $V_{03}$ , and that from the second stage inverter  $CI_2$  is represented as  $V_{04}$ . As shown

in the figure, the power supply voltages of the respective elements are represented as  $V_{DD2}$ ,  $V_{SS2}$ ,  $V'_{DD2}$ ,  $V'_{SS2}$ , and the other elements are the same as those in Fig. 26.

In Fig. 27, in a case where the relation of connection among the cell power supplies is that of the seventh working example (Fig. 15) or the eighth working example (Fig. 16), the power supply wiring is made such that  $V_{DD2}$ ,  $V_{SS2}$ ,  $V'_{DD2}$ ,  $V'_{SS2}$  in Fig. 27 become  $V_{BBD}$ ,  $V_{SS}$ ,  $V_{BBD}$ ,  $V_{SS}$  in Fig. 15 or  $V_{DD}$ ,  $V_{SS}$ ,  $V_{DD}$ ,  $V_{SS}$  in Fig. 16, and  $V_{03} = \overline{Vin1}$ ,  $V_{04} = \overline{Vin2}$  hold. In the R/W control circuit 22', the output node C is at a high level potential upon writing and in the pause mode, and  $V_{03} = V_{SS2}$  (low level voltage),  $V_{04} = V_{DD2}$  (high level voltage) hold. On the other hand, upon reading, the output node C is at the same potential as the output  $V_c$  from the column decoder 21', and upon column selection, as the  $V_c$  is at the low level,  $V_{03} = V_{DD2}$ ,  $V_{04} = V_{SS2}$  hold. Accordingly, upon reading, the potential difference between the two power supplies supplied to all the cells connected to the column-selected pair of bit lines BL,  $\overline{BL}$  increases, the pair of transfer transistors become on in one selected cell connected to one selected word line whose potential is at a low level voltage, among the word lines WL connected to these cells, one of the bit lines BL,  $\overline{BL}$  is pulled-in to the high voltage side by a large driving force of the cell, the bit line voltage is transmitted via the transistors  $P_5$ ,  $P_6$  to the sense lines

$SL$ ,  $\overline{SL}$ , amplified by the sense amplifier 23 and outputted as a read signal.

Further, in Fig. 27, in a case where the connection relation among the cell power supplies is that of the tenth working example (Fig. 19) or the thirteenth working example (Fig. 23), the power supply wiring is made such that  $V_{SS2}$ ,  $V_{DD2}$ ,  $V'_{SS2}$ ,  $V'_{DD2}$  in Fig. 27 become  $V_{BBS}$ ,  $V_{BBD}$ ,  $V_{SS}$ ,  $V_{DD}$  in Fig. 20 or  $V_{SS}$ ,  $V_{DD}$ ,  $V'_{SS}$ ,  $V'_{DD}$  in Fig. 24, and  $V_{03} = \overline{Vin_3} = Vin_4$ ,  $V_{04} = \overline{Vin_4} = Vin_3$ .

Further, in Fig. 27, in a case where the connection relation among cell power supplies is that of the eleventh working example (Fig. 20) or the fourteenth working example (Fig. 24) and the CP cell as shown in Fig. 7 is used, the connection may be made similar to the power supply system and the control voltage system in the above-described eleventh working example or the twelfth working example.

Note that the control voltage generation circuit 20 in above-described Figs. 26 and 27 has a CMOS circuit construction, however, it may have a so-called E/D circuit construction including an enhancement type transistors and depletion type transistors.

Further, in the respective working examples, the power supply voltages  $V_{BBD}$ ,  $V_{BBS}$ ,  $V'_{DD}$ ,  $V'_{SS}$  used in the memory cell, in addition to the power supply voltages  $V_{DD}$  and  $V_{SS}$  used in the peripheral circuits other than the memory cell,

may be supplied from the outside the memory, however, an output from a substrate bias generation circuit as described below may be used.

In Fig. 28, inverters  $I_1$  to  $I_3$  construct a ring oscillator, and an output terminal of the oscillator is connected to the  $V_{BBS}$  node serially via an inverter  $I_4$  and a capacitor  $C_1$ . The node is grounded to the  $V_{SS}$  power supply (ground potential) via a diode  $D_1$  constructed with an N-channel transistor in a forward direction, and a smoothing capacitor  $C_2$  is connected to the diode  $D_1$ . Accordingly, an output from the oscillator is amplified by the inverter  $I_4$ , and the output causes charge pumping on the  $V_{BBS}$  node. In the node, a positive voltage higher than the  $V_{SS}$  voltage is discharged from a diode  $D'_1$  to the  $V_{SS}$  power supply, and a negative voltage lower than the  $V_{SS}$  voltage is smoothed by the smoothing capacitor  $C_2$ . Thus, in the  $V_{BBS}$  node, the  $V_{BBS}$  power supply voltage out of the voltage range of the two power supplies  $V_{DD}$ ,  $V_{SS}$  in the peripheral circuits other than the memory cell is obtained.

In Fig. 29, inverters  $I_1'$  to  $I_3'$  construct a ring oscillator, and an output terminal of the oscillator is connected to the  $V_{BBD}$  node serially via an inverter  $I_4'$  and the capacitor  $C_1$ . The node is connected to the  $V_{DD}$  power supply via a diode  $D_2$  constructed with a P-channel transistor in an inverse direction, and the smoothing

capacitor  $C_2$  is connected in parallel to the diode  $D_2$ . Accordingly, an output from the oscillator is amplified by the inverter  $I'4$ , and the output causes charge pumping on the  $V_{BBB}$  node via the capacitor  $C_1$ . In the node, a voltage lower than the  $V_{DD}$  voltage is charged from the  $V_{DD}$  power supply via the diode  $D_2$ , and a voltage higher than the  $V_{DD}$  voltage is smoothed by the smoothing capacitor  $C_2$ . Thus, in the  $V_{BBB}$  node, the  $V_{BBB}$  power supply voltage out of the voltage range of the two power supplies  $V_{DD}$ ,  $V_{SS}$  of the peripheral circuits other than the memory cell is obtained.

In Fig. 30,  $i$  N-channel transistors  $N_{11}$  to  $N_{1i}$  are serially connected, and the  $V_{SS}$  voltage as a back gate voltage of the respective transistors  $N_{11}$  to  $N_{1i}$  is applied, and the  $V_{DD}$  power supply is connected to the drain of the transistor  $N_{11}$ . Accordingly, the respective transistors  $N_{11}$  to  $N_{1i}$  perform pentode operation, and due to threshold voltage drop of the drain voltage of the respective transistors  $N_{11}$  to  $N_{1i}$  with respect to the source voltage, the voltage  $V'D_{DD}$  in an intermediate area between the  $V_{DD}$  and  $V_{SS}$  is obtained from the source of the transistor  $N_{1i}$ .

In Fig. 31,  $j$  P-channel transistors  $P_{11}$  to  $P_{1j}$  are serially connected, and the  $V_{DD}$  voltage as a back gate voltage for the respective transistors  $P_{11}$  to  $P_{1j}$  is applied, and the  $V_{SS}$  power supply is connected to the drain of the  $P_{11}$ . Accordingly, the respective transistors  $P_{11}$  to  $P_{1j}$

perform pentode operation, and due to threshold voltage drop of the drain voltage of the respective transistors  $P_{11}$  to  $P_j$  with respect to the source voltage, the voltage  $V'_{ss}$  in an intermediate area between the  $V_{DD}$  and  $V_{ss}$  is obtained from the drain of the transistor  $P_{1j}$ .

Further, the present invention is applicable to a ROM (Read Only Memory) other than the RAM in the embodiments.

#### [Effect of the Invention]

As described above, according to the semiconductor storage device of the present invention, upon reading, the potential difference between the two power supplies supplied to the static memory cell is increased in comparison with that during the pause mode period, accordingly, the reading time can be easily and effectively reduced without the problem in the conventional method of reducing the electric capacity of bit line and the method of increasing the gate width of the transistor of the cell. That is, as a result of implementation of the present invention, upon reading, the reduction of reading time by 5 to 20% is realized in comparison with the conventional memory where the potential difference between the two power supplies of the memory cell is not changed.

#### 4. Brief Description of the Drawings

Figs. 1 to 3 explain the principles of the present invention. Fig. 1 is a circuit diagram showing the E/R type

static memory cell, the pair of bit lines and the word line; Fig. 2, a diagram showing the voltage versus current characteristics in the drive transistor of the memory cell; and Fig. 3, a diagram showing the relation between the power supply voltage ( $-V_B$ ) of the memory cell in Fig. 1 and bit line pull-in time  $T$ . Figs. 4(a)(b) to 7(a), (b) show the first to fourth working examples of the present invention. (a) are schematical circuit diagrams; and (b), detailed circuit diagrams. Figs. 8 to 11 show the relation pf the power supply voltages in the first to fourth working examples. Fig. 12 is a circuit diagram showing the fifth working example; Fig. 13, a circuit diagram showing the sixth working example; Fig. 14, a diagram showing the power supply voltage relation in Fig. 13; Fig. 15, a circuit diagram showing the seventh working example; Fig. 16, a circuit diagram showing the eighth working example; Fig. 17, a diagram showing the power supply voltage relation in Fig. 16; Figs. 18 to 20, circuit diagrams showing the ninth to eleventh working examples; Fig. 21, a diagram showing the power supply voltage relation in Figs. 18 to 20; Figs. 22 to 24, circuit diagrams showing the twelfth to fourteenth working examples; Fig. 25, a diagram showing the power supply voltage relation in Figs. 22 to 24; Figs. 26 and 27, circuit diagrams explaining the control voltage generation and supply systems in the respective working examples in

Figs. 12 to 25; and Figs. 28 to 31, circuit diagrams showing generation circuits of power supply voltages other than  $V_{DD}$ ,  $V_{SS}$  in the respective working examples in Figs. 4 to 25.

$T_3$ ,  $T_4$ ,  $T_3'$ ,  $T_4'$  ... Transfer transistor,  $BL$ ,  $\overline{BL}$  ... bit line,  $WL$  ... word line,  $V_{DD}$ ,  $V_{SS}$ ,  $V_{BBD}$ ,  $V_{BBS}$ ,  $V_{DD'}$ ,  $V_{SS'}$  ... power supply voltage,  $V_{XBN}$ ,  $V_{XBP}$  ... back gate power supply voltage,  $N_1$ ,  $N_2$ ,  $P_1$ ,  $P_2$  ... power supply switching transistor,  $N_5$ ,  $N_6$ ,  $P_5$ ,  $P_6$  ... bit line selection transistor, 20 ... control voltage generation circuit, 21 ... column decoder.

Agent: Suzue Takehiko, Patent Attorney

Fig. 2 電流 I current I  
電圧 V voltage V

Fig. 3 引き込み時間 T pull-in time T

Figs. 4, 12, 18, 22 RNセル RN cell

Fig. 5, 15, 19, 23 RP セル RP cell

Figs. 6, 13 CNセル CN cell

Fig. 7, 16 CPセル CP cell

Figs. 8-11, 14, 17, 21, 25 電圧 voltage

Figs. 20, 24 CMOSセル CMOS cell

Figs. 26, 27 セル cell

21, 21' カラムデコーダ column decoder

22, 22' R/W制御回路 R/W control circuit

23 センスアンプ sense amplifier

カラムアドレス信号 column address signal

R/W 制御信号 R/W control signal

読み出し出力 read output